

⑫ 公開特許公報(A)

平2-246646

⑤Int.Cl.⁵

識別記号

庁内整理番号

⑬公開 平成2年(1990)10月2日

H 04 L 12/48

7830-5K H 04 L 11/20

Z

審査請求 未請求 請求項の数 1 (全9頁)

⑭発明の名称 自己ルーチング交換システム

⑮特 願 平1-68424

⑯出 願 平1(1989)3月20日

⑰発明者 磯 野 修 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑰発明者 福 井 敏 正 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑰発明者 西 野 哲 男 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑰発明者 橋 哲 夫 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑰出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
⑰代理人 弁理士 伊東 忠彦 外2名
最終頁に続く

明 細 書

1. 発明の名称

自己ルーチン⁵交換システム

2. 特許請求の範囲

入モジュール(120)と出モジュール(150)と、2重化された通話路セルスイッチ(130、140)と入モジュールおよび出モジュールの呼を制御する呼制御回路(170)とを有する自己ルーチング交換システムにおいて、

各通話路セルスイッチ(130、140)の少なくとも一方にバッファ中のセルが空となったことを検知する検知手段(131)を設け、

呼制御回路(170)は現用系の通話路セルスイッチ(130)から予備系の通話路セルスイッチ(140)に切替える際、入モジュール(120)内の選択手段(121)を制御して入ハイウェイと予備系の通話路セルスイッチ(140)とを接続し、

現用系の通話路スイッチ(130)内の検知手段

(131)がバッファ内のセルが空になったことを検出した時点で、出モジュール(150)内の選択手段(151)を制御して予備系の通話路セルスイッチ(140)と出ハイウェイとを接続することを特徴とする自己ルーチング交換システム。

3. 発明の詳細な説明

(概要)

自己ルーチング交換システム、特にユーザ情報を固定長に分割し、ヘッダを付与したセルを高速にスイッチングするハードウェア・オリエンテッドな交換方式であるATM交換方式における現用系から予備系への切替え技術に関し、

切替え時にセルが廃棄される可能性を完全に除去してシステムの信頼性を高めることを目的とし、

入モジュールと、出モジュールと、2重化された通話路セルスイッチと入モジュールおよび出モジュールの呼を制御する呼制御回路とを有する自己ルーチング交換システムにおいて、各通話路セ

ルスイッチの少なくとも一方にバッファ中のセルが空となったことを検知する検知手段を設け、呼制御回路は現用系の通話路セルスイッチから予備系の通話路セルスイッチに切換える際、入モジュール内の選択手段を制御して入ハイウェイと予備系の通話路セルスイッチとを接続し、現用系の通話路スイッチ内の検知手段がバッファ内のセルが空になったことを検出した時点で、出モジュール内の選択手段を制御して予備系の通話路セルスイッチと出ハイウェイとを接続するよう構成する。

(産業上の利用分野)

本発明は自己ルーチングシステム、特にユーザ情報を固定長に分割し、ヘッダを付与したセルを高速にスイッチングするハードウェア・オリエンテッドな交換方式であるATM交換方式における現用系から予備系への切換え技術に関する。

近年の高速通信に対応するため、パケット形式によるデジタルデータ通信は益々その必要性が高まっているが、パケット交換処理能力の向上且

つ高速化のため、パケットヘッダに基づいてハードウェア自律で回線交換形スイッチによるパケット交換を行うというATM交換システムの実用化が図られている。

一方、一般的な交換システムでは、通信に対する信頼性の確保に対応するために、通路路を2重化構成とし、障害時や定期的な保守切換え時には、現用系から予備系への切換えを行い、サービスの連続性を保証している。このような現状から、ATMシステムにおいても信頼性の確保のために、通路路の2重化構成が検討されている。

しかしながら、ATM交換システムでは通路路セルスイッチ内に、セル交換処理の待合せのためのキュー(queue:バッファ)を有している。このため、単なる現用系から予備系への切換えだと、現用系のセルスイッチ内のセルが廃棄されることになる。従って、何らかの対策が必要となる。

(従来の技術)

第6図は、一般的な2重化されたATM交換シ

ステムのブロック図である。同図において、10は複数本の入ハイウェイ(入HW)、20は入ハイウェイ10ごとに設けられた入モジュール(CNV)、30及び40は通路路セルスイッチを有する2重化されたATMスイッチ(#0、#1)、50は出モジュール(OM)、60は出モジュール50ごとに設けられた出ハイウェイ(出HW)、および70は入モジュール20と出モジュール50で現用系と予備系とを切換える制御や各種呼処理を行う呼制御回路である。呼制御回路70は中央処理装置(CPU)で構成されるので、以下単にCPUという。

次に、第7図を参照して通常のセルの流れおよび切換え時のセルの流れを説明する。尚、説明の便宜上、第7図には1つの入モジュール20および1つの出モジュール50を図示する。

まず、通常時、現用系はATMスイッチ30で、予備系はATMスイッチ40であるとする。入ハイウェイ10上のセルは入モジュール20に与えられる。セルは伝送情報INFとヘッダ部とから

なり、ヘッダ部にはバーチャルコール番号VCN(識別情報:図の例ではa)や回線番号(図示していない)などを含む。その他、ヘッダ部には同期パターンなどを含む。入モジュール20は第8図に示すVCNテーブルを参照して、バーチャルコール番号VCNの値aに対応する出ルート番号と次のバーチャル番号bを知り、現用系のATMスイッチ30に図示するセルを送出する。このセルはATMスイッチ30でバッファリングされた後、出モジュール50を介して出ハイウェイ60に送出される。以上の動作において、CPU70はコールバイコールで第8図に示すVCNテーブルを設定する。以上の流れを①の破線で示す。

次に、切換え時、入ハイウェイ10上のセルは入モジュール20内に設けられた待合せバッファに蓄積され、一定時間保持される(第7図の②)。この間に現用系のATMスイッチ30内の待合せバッファ内にあるセルは排出され、出モジュール50に与えられる。(同図の③)。そして一定時間経過後、CPU70の指示により系をATMス

スイッチ30からATMスイッチ40に切替える
(同図の④)。この切替え後、入モジュール20
内の待合せセルが送出され、ATMスイッチ40
に送出される(同図の⑤)。

このように、従来の構成は切替えの要求が発生
して一定時間経過後に、自動的に現用系から予備
系に切替えるものである。

(発明が解決しようとする課題)

しかしながら、上記従来の技術では現用系のA
TMスイッチ内のセルの排出しが完全に終了した
という保証がないので、切替えによってセルが廃
棄される可能性がある。したがって、この問題点
を解決するためには、現用系のATMスイッチ内
のセルの排出しが完全に終了したことを確認した
後、現用系から予備系に切替える必要がある。

本発明は上記課題を達成し、切替え時にセルが
廃棄される可能性を完全に除去して信頼性を向上
させることを目的とする。

ルが空になったことを検出した時点で、出モジ
ュール150内の選択手段151を制御して予備系の通
話路セルスイッチ140と出ハイウェイとを接続す
る。

(作用)

はじめに、通常時、通話路セルスイッチ130が
現用系であるとする、入モジュール120に入
ったセルはバッファ121および選択手段を介して通
話路セルスイッチ130に入る。通話路セルスイッ
チ130を通ったセルは、出モジュール150の選択
手段151を介して、次のリンクに出力される。

ここで、通話路セルスイッチ130から140への
切替え要求、すなわち現用系から予備系への切換
え要求があると、呼制御回路170は入モジュール
120の選択手段121を制御して、入ハイウェイと
通話路セルスイッチ140とを接続する。これによ
り、入ハイウェイからのセルは通話路セルスイッ
チ140に送出され、出モジュール150側に近いバ
ッファから順にセルをストックする。一方、今ま

(課題を解決するための手段)

第1図は、本発明の原理ブロック図である。

図示する自己ルーチング交換システムは、入モ
ジュール120と出モジュール150と、2重化され
た通話路セルスイッチ130、140と入モジュール
および出モジュールの呼を制御する呼制御回路
170とを有する。

本発明は上記自己ルーチング交換システムにお
いて、以下のとおり構成される。

まず、各通話路セルスイッチ130、140の少な
くとも一方にバッファ中のセルが空となったこと
を検知する検知手段131(例えば、通話路セルス
イッチ130内)を設ける。

呼制御回路170は現用系の通話路セルスイッチ
130から予備系の通話路セルスイッチ140に切換
える際、入モジュール120内の選択手段121を制
御して入ハイウェイと予備系の通話路セルスイッ
チ140とを接続する。

そして、呼制御回路170は現用系の通話路セル
スイッチ130内の検知手段131がバッファ内のセ

で現用系であった通話路セルスイッチ130内のバ
ッファ内のセルは、順次出モジュール150側に排
出される。すなわち、この排出中に通話路セル
スイッチ140のバッファはセルをストックするの
で、セル排出中の待合せバッファとして機能す
る。通話路セルスイッチ130内の検知手段131が、
バッファ中のセルが空になったことを検知すると、
この旨を呼制御回路170に通知する。この通知を
受けた時点で通話路セルスイッチ130中のセルは
すべて排出されたことが確認できる。したがって
呼制御回路170は出モジュール150内の選択手段
151を制御して、出ハイウェイと通話路セルスイ
ッチ140とを接続する。そして、通話路セルスイ
ッチ140内のセルが順次出モジュール150を介し
て出ハイウェイに送出される。

(実施例)

以下、本発明の一実施例を図面を参照して詳細
に説明する。

第2図は本発明の一実施例のシステムで用いら

れる入モジュール 120の詳細な構成を示す図である。同図において、21はバッファ、22はセクタ(SEL)、23は同期回路(SYNC)、24はレジスタ(REG)、25はデコーダ(DEC)、26はセクタ(SEL)、27はスイッチである。

次に、各部を詳細に説明する。なお、実際にハイウェイ上に送出されるセルは伝送情報と、この伝送情報に付加された識別情報(VCN)からなるヘッダ部で構成されている。また、入モジュール 120内では、これらに対しさらに制御情報(各スイッチモジュールの切換え情報)が付加される。

ここで、入モジュール 120で、どのように制御情報が付加されるかについて、ケット情報が入力情報である場合を例にとりて説明する。まずケット情報の送出元はケットの送出に先立って、ケット転送先を呼制御回路 170に通知するための呼設定フェーズを実行する。呼制御回路 170のCPU(以下、CPU 170という)は通知された転送先と送出元とにより当該ケットが通過すべ

き通話路のバスを設定し、また次のリンクに対する識別番号を決定する。そして、このケットが入力される各スイッチモジュールの切換え情報である制御情報、すなわちRH₁、RH₂、RH₃および次のリンクに対する識別番号を、転送先を示す識別情報(VCN)に対応したアドレスに格納する。

次にケットの転送フェーズにおいて実際にケットを送出する。このケットは伝送情報とこの伝送情報の先頭に付加された、識別情報(VCN)からなるヘッダ部とで構成されている。同期回路23は、ヘッダ部の同期パターンを用いて入力ケットと同期をとる。通話路に転送されてきたケットは入モジュール 120のバッファ21に格納されるとともに、識別情報部分は、同期回路23の制御のもとでレジスタ24を介し、デコーダ25へ入力される。デコーダ25は入力されたケットの識別情報を受信するとこの識別情報をアドレスとしてテーブル27をアクセスする。テーブル27には各識別情報VCN。対応に制御

情報および次のリンクにおけるケットを示す識別情報(VCN_i)が格納されている。そして、ケットの先頭にこれら制御情報およびVCN_iを付加するために、テーブル27から読み出された制御情報をセクタ(SEL)22に送出する。同期回路23はセクタ22の切換え制御を行い、まず制御情報および新しい識別情報VCN_iを送出させ、そのあとバッファ13からケットの伝送情報部分を読み出し、セクタ22を介してスイッチ28へ送出する。スイッチ28はCPU 170で制御される。

第3図(A)は本発明実施例中の通話路セルスイッチ(以下、ATMスイッチという) 130要部ブロック図である。図示する構成は3×3構成の自己スイッチングモジュール(以下SRMと略す)の例である。同図において、I_iは制御情報検出回路、D_iは伝送情報遅延回路、DM_iはデマルチプレクサ、DEC_iは制御情報デコード回路、FM_{ij}はバッファメモリ、例えばFirst-in First-out(FIFO)メモリ、SEL_iはセク

タ、SC_iはFIFOのメモリFM_{ij}のリクエスト信号R_{ij}を受けてセクタSEL_iの制御を行うセクタ制御回路である。

入力端#1~#3(i)に入る信号は前述の伝送情報+制御情報(T_i INF+C_i INF)の形をしており、検出回路I_iはこの制御情報を抽出してデコード回路DEC_iへ送る。制御情報は、自己ルーチング通話路10が3段構成であれば1段(入力段)自用ルーチングヘッダRH₁、2段(中間段)自用RH₂、3段(出力段)自用RH₃の3種あるから、検出回路I_iは当該自己ルーチングスイッチモジュールSRMが第何段目であるかにより、該当する制御情報RHを抽出する。デコード回路DEC_iは入力された制御情報が出力端jを示すものであれば、デマルチプレクサDM_iを操作して当該FIFOメモリFM_{ij}に伝送情報を送る。例えば入力端#1の制御情報が出力端#2を示すものであれば、DEC₁はDM₁を操作して入力端#1の情報をFM₂₁に入力する。セクタ制御回路SC_iはFIFOメモ

りFM₁～FM_mに伝送情報が入ると、セクタSEL₁を操作して該伝送情報を出力端#1へ送出する。他も同様である。

セクタ制御回路SC_jは、例えばFIFOメモリFM_{ij}からのリクエスト信号R_{ij}を常時走査しており、リクエスト信号R_{ij}が検出されると、当該FIFOメモリFMの内容をセクタSEL₁を通して出力させるように動作する。あるいはR_{ij}は割込み入力としてSC_jに入力し、割込みが入るとSC_jは当該FIFOメモリFMの内容をセクタSELを通して出力させる。

FIFOメモリFM_{ij}に複数バケットあるいはセル分の容量を持たせておくと、バッファ機能が得られ、一時的に伝送データが増大するような場合にも充分対応できる。

自己ルーチングスイッチモジュールSRM_{ij}は入力端3個、出力端3個に限らず、一般的には入力端n個、出力端m個、ここで $n > m$ 、 $n = m$ 、または $n < m$ であってよい。 $n > m$ のときは同じ出力端を共用する複数の入力端が発生するが、伝

送量が小さい呼(チャネル)ならこれで充分処理できる。 $n < m$ のときは1つの入力を2つの出力に分けて出すことが可能で、入側高速、出側低速という場合に対応できる。勿論過剰分は遊びとしてもよい。

以上の構成はATMスイッチ130および140に共通である。更に、ATMスイッチ130には、各FIFOメモリFM_{ij}中のセルが空になったことを検出するために、アンドゲート31が設けられている。アンドゲート31には各FIFOメモリFM_{ij}がすべてのセルを出力した時点で発せられる信号を入力する。通常、ATMスイッチのバッファ(FIFOメモリ)は複数段設けられるので、第3図(B)に示すように、それぞれにアンドゲート31を設け、各アンドゲート31の出力をさらにアンドゲート32を介してCPU170に接続する。

第4図は、出モジュール150の要部ブロック図である。出モジュール150はCPU170で制御されるスイッチ51を有する。スイッチ51は出ハ

イウェイと、ATMスイッチ130および140のいずれか一方を切換えて接続する。

次に、本実施例の動作を第5図を参照して詳細に説明する。

まず、現用系(#0)から予備系(#1)の切換え要求があると、CPU170は入モジュール120に切換え処理開始を指示する(第5図の①)。この指示は第2図の入モジュール120のスイッチ28に与えられ、現用系(#0)から予備系(#1)へ切換える(同図②)。これにより、切換え後入モジュール120に到着したセルはATMスイッチ140に送出される。ATMスイッチ140は入力するセルを順次出モジュール150側に近いSRMからストックする(同図③)。尚、このときCPU170はATMスイッチ140がセルを送出しないよう指示している(これを待合せモードという)。

一方、ATMスイッチ130は通常の呼処理を行うが、新たなセルが流入しないため、セル排出しとなる(同図④)。ATMスイッチ130中のFIFOメモリFM_{ij}が空になると、順次アンドゲート31に通知する。そして、ATMスイッチ130中のすべてのバッファが空になると、アンドゲート32はその旨を通知する(同図⑤)。ATMスイッチ130からの空通知により、CPU170は出モジュール150内のセクタ51(第4図)を制御し、出ハイウェイとATMスイッチ140とを接続する(同図⑥)。そして、CPU170はATMスイッチ140に対し、待合せモードから通常モード(通常動作時のモード)の移行を指示する(同図⑦)。これにより、ATMスイッチ140にストックされていたセルは、出モジュール150を介して出ハイウェイに送出される(同図⑧)。

以上、本発明の一実施例を説明した。上記実施例ではATMスイッチ130にのみアンドゲート31および32を設けてFIFOメモリFM_{ij}中のセルが空となったことを検出しているが、ATMスイッチ140にも同様に設けても良い。

〔発明の効果〕

以上説明したように、本発明によれば、現用系から予備系への切換え時、予備系のATMスイッチのバッファを待合せバッファとして用い、現用系のATMスイッチのバッファが空になったことを検出して、予備系のATMスイッチのバッファ内のセルを出モジュール側に送出することとしたため、切換え時にセルが廃棄されることはなく、高い信頼性およびサービスの連続性が保証できるという効果が得られる。

4. 図面の簡単な説明

第1図は本発明の原理ブロック図、

第2図は本発明実施例中の入モジュールの詳細なブロック図、

第3図は本発明実施例中のATMスイッチの詳細なブロック図、

第4図は本発明実施例中の出モジュールのブロック図、

第5図は本発明実施例の切換え手順を説明する

ための図、

第6図は2重化されたATM交換システムのブロック図、

第7図は従来の切換え手順を説明するための図、および

第8図は従来のシステムで用いられるVCNテーブルを示す図である。

図において、

31、32はアンドゲート、

120は入モジュール、

121はバッファ、

122は排出し確認セル発生手段、

123は選択手段、

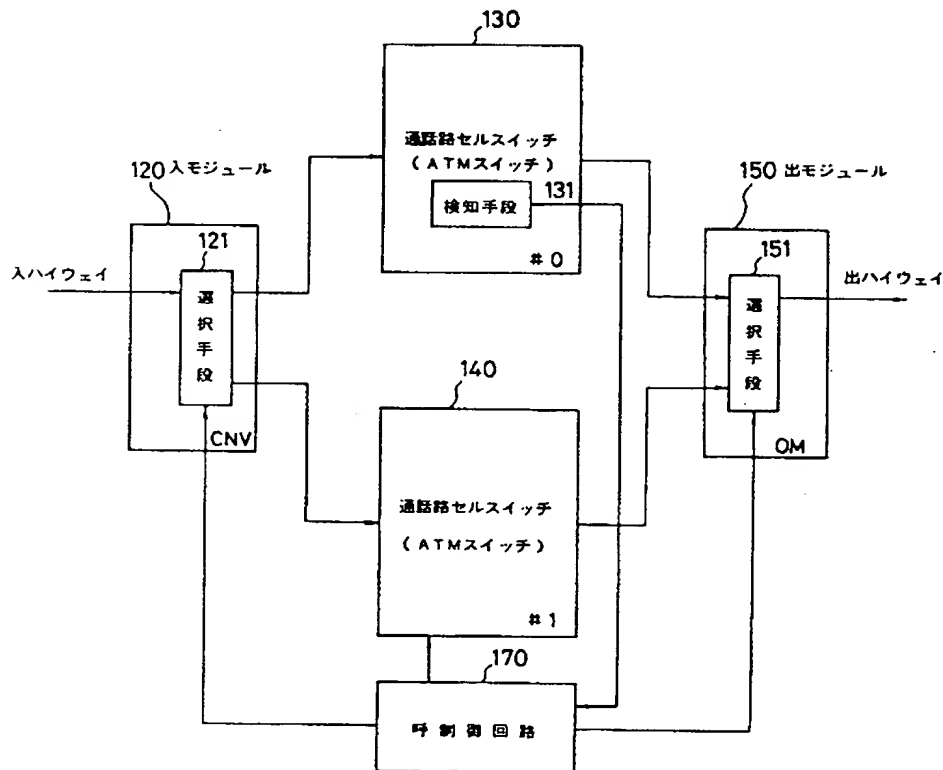
130、140は通話路セルスイッチ(ATMスイッチ)、

131、141は検知手段、

150は出モジュール、

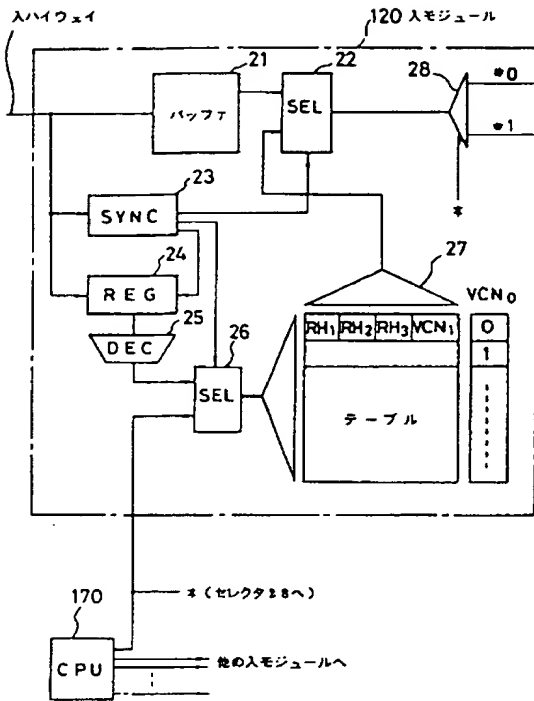
151は選択手段

を示す。



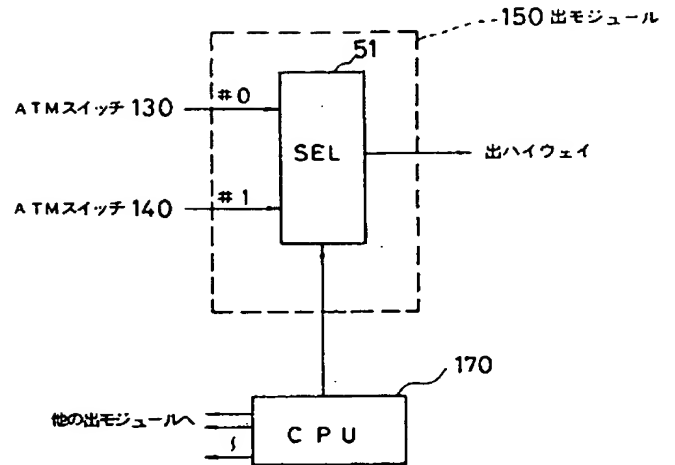
本発明の原理ブロック図

第1図



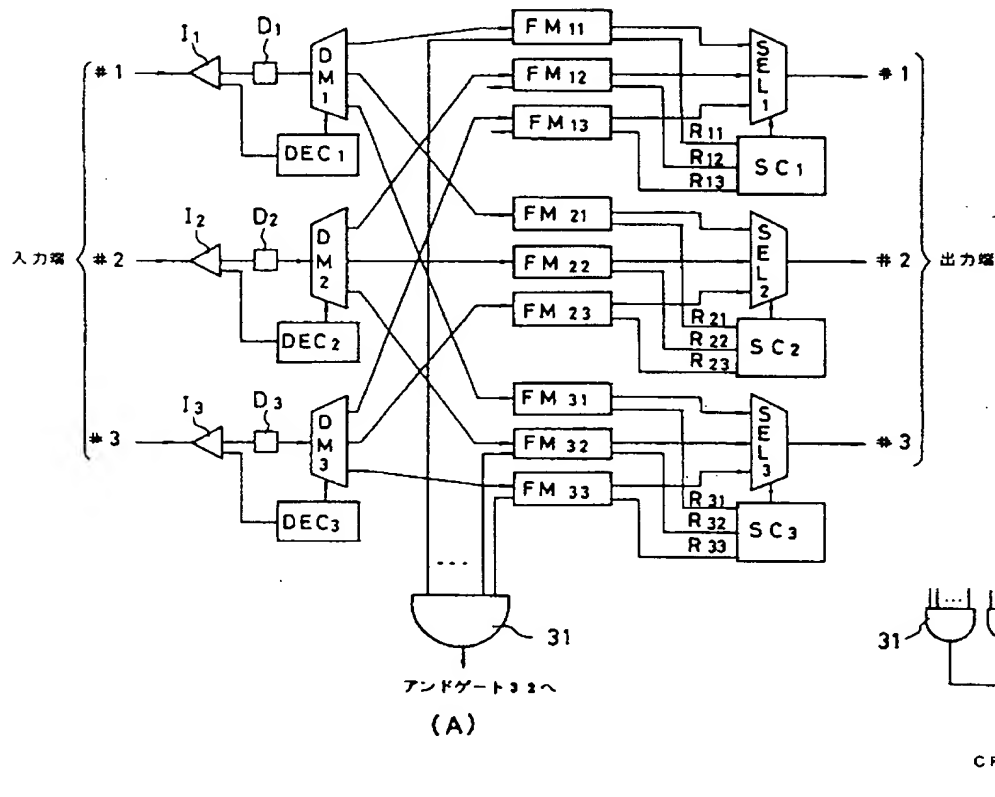
本発明実施例中の入モジュールのブロック図

第 2 図



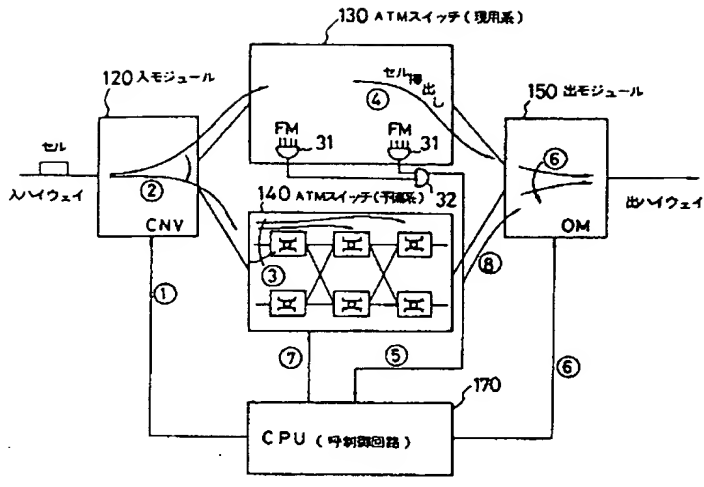
本発明実施例中の出モジュールのブロック図

第 4 図

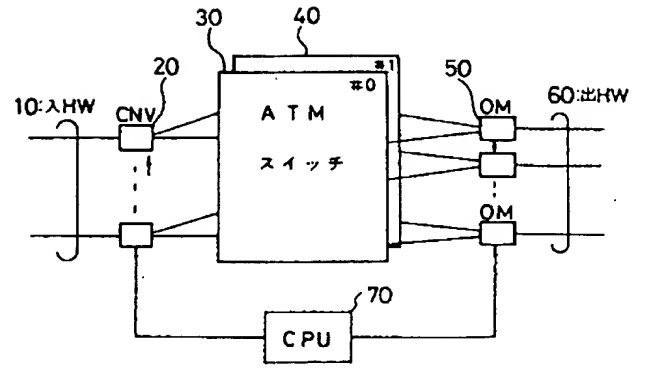


本発明実施例中の ATM スイッチのブロック図

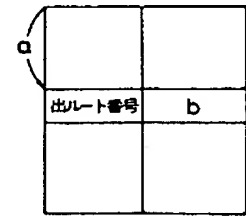
第 3 図



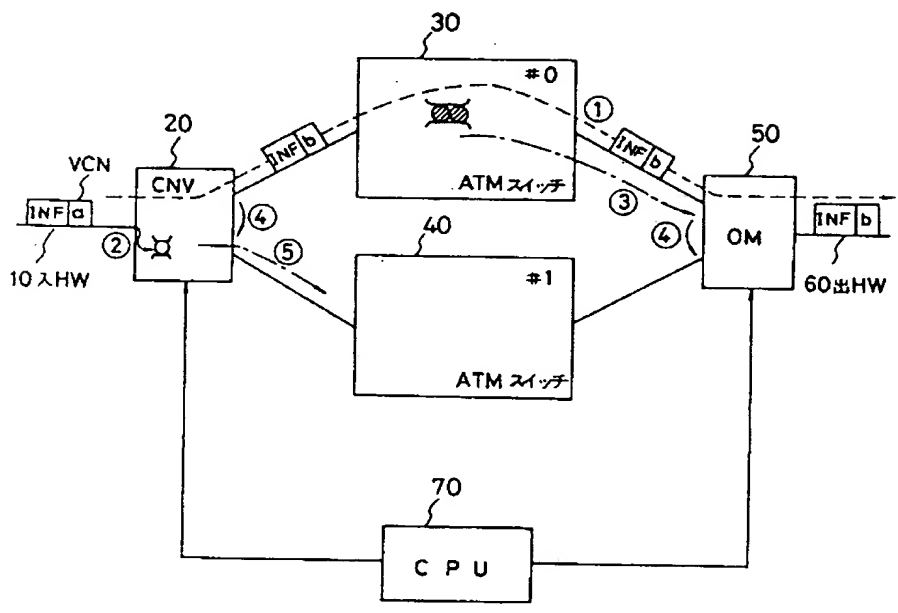
本発明実施例の切換え手順を説明するための図
第 5 図



2重化されたATM交換システムのブロック図
第 6 図



VCNテーブルを示す図
第 8 図



従来の切換え手順を説明するための図
第 7 図

第1頁の続き

⑦発明者 兵頭

竜二

神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑦発明者 岩渕

英介

神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内